

SYSTEM FOR PROVIDING A PREDETERMINED TIMING RELATION BETWEEN INPUTTING AND OUTPUTTING OF DATA; TRANSMITTER AND RECEIVER FOR SUCH A SYSTEM

Bibliographic data
Original document

Description
INPADOC legal status

Claims

Mosaics

Publication number: JP10509294T

Publication date: 1998-09-08

Inventor:

Applicant:

Classification:

- international: **H04L7/04; H04J3/06; H04N7/52; H04N7/62; H04L12/64; H04L7/04; H04J3/06; H04N7/52; H04L12/64; (IPC1-7): H04L12/40; H04L7/04**

- European: **H04J3/06C1; H04N7/52S; H04N7/62**


Application number: JP19960529126T 19960311


Priority number(s): EP19950200784 19950329; WO1996IB00204 19960311


[View INPADOC patent family](#)

[View list of citing documents](#)

Also published as:

 WO9631033 (A3)

 WO9631033 (A2)

 US5751721 (A1)

Abstract not available for JP10509294T

Abstract of corresponding document: **WO9631033**

A system associates a time-stamp with data inputted at its input, specifying an instant with a predetermined delay after receiving the data. The system outputs said data at an output according to the time-stamp. Inputting and outputting is timed by different clocks, which are periodically synchronized. At certain times the source of synchronization may change, potentially causing a discontinuity in synchronized time. The system contains potential discontinuity signalling means, for signalling a potential discontinuity in a progression of the clocked time. The predetermined relation is corrected when such a potential discontinuity is signalled for an instant between inputting and outputting the data.

Data supplied from the **esp@cenet** database - Worldwide



INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ : H04L 7/04	A2	(11) International Publication Number: WO 96/31033 (43) International Publication Date: 3 October 1996 (03.10.96)
(21) International Application Number: PCT/IB96/00204 (22) International Filing Date: 11 March 1996 (11.03.96) (30) Priority Data: 95200784.7 29 March 1995 (29.03.95) EP (34) Countries for which the regional or international application was filed: NL et al. (71) Applicant: PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL). (71) Applicant (for SE only): PHILIPS NORDEN AB [SE/SE]; Kottbygatan 5, Kista, S-164 85 Stockholm (SE). (72) Inventor: BLOKS, Rudolf, Henricus, Johannes; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL). (74) Agent: DE HAAS, Laurens, J.; Internationaal Octrooibureau B.V., P.O. Box 220, NL-5600 AE Eindhoven (NL).		(81) Designated States: JP, European patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Published <i>Without international search report and to be republished upon receipt of that report.</i>

(54) Title: SYSTEM FOR PROVIDING A PREDETERMINED TIMING RELATION BETWEEN INPUTTING AND OUTPUTTING OF DATA; TRANSMITTER AND RECEIVER FOR SUCH A SYSTEM

(57) Abstract

A system associates a time-stamp with data inputted at its input, specifying an instant with a predetermined delay after receiving the data. The system outputs said data at an output according to the time-stamp. Inputting and outputting is timed by different clocks, which are periodically synchronized. At certain times the source of synchronization may change, potentially causing a discontinuity in synchronized time. The system contains potential discontinuity signalling means, for signalling a potential discontinuity in a progression of the clocked time. The predetermined relation is corrected when such a potential discontinuity is signalled for an instant between inputting and outputting the data.

FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AM	Armenia	GB	United Kingdom	MW	Malawi
AT	Austria	GE	Georgia	MX	Mexico
AU	Australia	GN	Guinea	NE	Niger
BB	Barbados	GR	Greece	NL	Netherlands
BE	Belgium	HU	Hungary	NO	Norway
BF	Burkina Faso	IE	Ireland	NZ	New Zealand
BG	Bulgaria	IT	Italy	PL	Poland
BJ	Benin	JP	Japan	PT	Portugal
BR	Brazil	KE	Kenya	RO	Romania
BY	Belarus	KG	Kyrgyzstan	RU	Russian Federation
CA	Canada	KP	Democratic People's Republic of Korea	SD	Sudan
CF	Central African Republic	KR	Republic of Korea	SE	Sweden
CG	Congo	KZ	Kazakhstan	SG	Singapore
CH	Switzerland	LI	Liechtenstein	SI	Slovenia
CI	Côte d'Ivoire	LK	Sri Lanka	SK	Slovakia
CM	Cameroon	LR	Liberia	SN	Senegal
CN	China	LT	Lithuania	SZ	Swaziland
CS	Czechoslovakia	LU	Luxembourg	TD	Chad
CZ	Czech Republic	LV	Latvia	TG	Togo
DE	Germany	MC	Monaco	TJ	Tajikistan
DK	Denmark	MD	Republic of Moldova	TT	Trinidad and Tobago
EE	Estonia	MG	Madagascar	UA	Ukraine
ES	Spain	ML	Mali	UG	Uganda
FI	Finland	MN	Mongolia	US	United States of America
FR	France	MR	Mauritania	UZ	Uzbekistan
GA	Gabon			VN	Viet Nam

System for providing a predetermined timing relation between inputting and outputting of data; transmitter and receiver for such a system.

The invention relates to a system with an input, an output and timing means, for associating a time-stamp with data inputted at the input, and outputting said data at the output when a time indicated by the timing means is in a predetermined relation with the time-stamp. Such a system is described in unpublished European Patent Application
5 number 94201945.6 (PHN 14.935 EP-P).

Such a system for example provides a constant time delay between inputting and outputting, as measured against a time measured by the timing means. This constant time delay cannot be guaranteed if the progression of the time indicated by the timing means can exhibit unpredictable discontinuities. This is because the time of inputting
10 and the time of outputting cannot then be measured with respect to the same time scale.

It is an object of the invention to make it possible to overcome the effects of such discontinuities.

15

The system according to the invention is characterized, in that it contains potential discontinuity signalling means, for signalling a potential discontinuity in a progression of the time indicated by the timing means and time correction means, for
20 correcting the predetermined relation when a potential discontinuity is signalled for an instant between inputting and outputting the data. In this way each potentially disturbing effect is signalled and the timing relation is corrected.

In an embodiment of the system according to the invention the timing means contains an input timer register and an output timer register, incrementing means for
25 periodically and individually incrementing these registers, and a plurality of synchronizing means, each for synchronizing the input timer register with the output timer register, the potential discontinuity signalling means being arranged for signalling the potential discontinuity when it detects that one of the plurality of synchronizing means takes over synchronizing from another one of the plurality of synchronizing means. Thus there are

several different sources of synchronization, for example different apparatuses that may become time master in a P1394 bus system. When the source of synchronization changes a discontinuity will potentially occur. Thus, in P1394 there will be no discontinuity if the new time master was previously synchronized to the old time master, but there will be a
5 discontinuity for example when the new time master was just switched on prior to becoming the time master.

The system according to the invention has a further embodiment containing a transmitter, a receiver and a bus connecting the transmitter and the receiver and at least one other apparatus, the transmitter containing the input and the input timer register,
10 the receiver containing the output and the output timer register, the data and the time-stamp being transmitted from the transmitter to the receiver via the bus, the transmitter also transmitting a code indicating a number of potential discontinuities signalled prior to inputting the data via the bus in association with the time-stamp. Thus the invention is applied to a bus system. In this system, for a example a P1394 bus system, the data will
15 experience a variable delay depending on the time between inputting the data the time the bus is available. This delay is then compensated by further delaying the data in the receiver until the predetermined time relation occurs. By transmitting both the time stamp and the code via the bus the receiver is enabled to correct the timing relation.

In a further embodiment of the system according to the invention the
20 receiver contains the time correction means, which are arranged for comparing the code with a local count of potential discontinuities, and for correcting the predetermined relation when the local count does not match the code.

In a further embodiment of the system according to the invention the time correction means contain a discontinuity store, for storing a continuity amplitude,
25 representing the amplitude of an effect on the time progression of at least a most recently signalled potential discontinuity, and for correcting the predetermined relation according to this amplitude. The actual amplitude of the discontinuity (which may be zero if it turns out that the potential discontinuity did not materialize) cannot be measured until the synchronization is executed for the first time, i.e. after the potential discontinuity is
30 signalled. By storing the measured discontinuity the relation between the time stamp and the time of outputting can be adjusted when inputting and outputting is separated by one or more potential discontinuities, such that the actual time relation between inputting and outputting is not affected by the discontinuities.

Figure 1 shows a system according to the invention.

Figure 2 shows a receiver according to the invention.

5 The IEEE P1394 standard issued by the IEEE defines an architecture for a digital communication network with multiple nodes capable of communicating at a number of different bit rates without the need for global distribution of a common system clock signal. In principle each node has its own local bit clock generator which is not synchronized or locked in any way to other bit clock generators in the network. A base clock rate of 24.576
10 MHz +/- 100 ppm is defined, from which the 3 possible bit clock rates are derived by multiplication of this frequency by a factor of 4, 8 or 16.

 The P1394 architecture also defines a common time base mechanism used to introduce the notion of a global bus time. This is done using the so called Cycle Timer Register which increments according to some specific rules at the base clock rate. However,
15 because none of these base clocks are locked, the values in the Cycle Timer Registers may diverge over time even if they were originally all equal. To keep these values in synchronization one of the nodes is appointed Cycle Master and this node has the responsibility to periodically (on average once every 125 microseconds) broadcast a packet on the network containing the actual value of its own Cycle Timer Register. All other nodes
20 receiving this packet have the obligation to update the contents of their own Cycle Timer Register according to the received value.

 The operation of the P1394 bus is such that access to the bus cannot be guaranteed at any desired time. As a consequence data transported over this bus will experience a delay which is not fixed. This delay jitter is of such magnitude that some types
25 of data (such as MPEG-2 Transport Streams) cannot be transported without taking some special precautions. One type of precaution is to attach a time stamp to each packet before transmission and to use the stamp at the receiver to artificially create a constant transport delay. A detailed description of such a mechanism can be found in European Patent Application number 94201945.6 (PHN 14.935 EP-P).

30 In this method the value of the stamp is extracted from the value of the Cycle Timer Register at the transmitter node at the time when the packet was delivered to the transmitter by its host system. To create a constant transport delay the method requires any packet to be stored at the receiver until the bus time (= value in the Cycle Timer Register) at the receiver equals the value of the stamp attached to that packet. Buffering is also

required at the transmitter side since access to the bus cannot be granted to the same transmitter all the time.

This method of time stamping works fine as long as there are no exceptions on the bus. There is one particular situation where this method will generally fail and that is shortly after the occurrence of a bus reset sequence. A bus reset is invoked whenever new nodes are added to the network or existing nodes are removed from it. The bus reset sequence includes the selection of a network root node, which will also function as a Cycle Master. If this happens to be a new node just added to the bus then its selection as a Cycle Master may introduce a discontinuity in the bus time, henceforth called a time base change. This is undesirable since it will also invalidate all stamp values attached to the packets currently waiting in any buffer at the transmitter and the receiver. If nothing is done about this, then in the worst case it will create buffer overflow in the receiver because packets are not delivered at the correct time but much later instead. For example if the CTR jumps back 16msec, then a stamp that was originally pointing 100 microseconds ahead is now pointing 16.1 msec ahead and the corresponding packet will remain waiting in the delivery buffer for that amount of time.

This invention claims a method by which it is possible to detect by inspection of a time stamp attached to a packet whether or not the stamp may be invalid because of an intermediate time base change. It also provides a method based upon which action may be taken to adjust each individual stamp value in order to compensate for the time base change, even if more than 1 time base change occurred in rapid succession.

The time stamp attached to a packet is extended with a new field of some fixed width W (number of bits) which shall be referred to as the TB field (Time Base).

Whenever a new time stamp is created in a transmitter by sampling (and perhaps subsequent processing of) a Cycle Timer Register value, the TB field assumes the value of a W bit counter TC located in the transmitter. This TB value together with the original time stamp are now both attached to the packet and transmitted. The value of the W bit counter TC is set to zero whenever the transmitter is initialized. The value of the W bit counter TC is incremented by one whenever a bus reset or other potentially time base changing exception is detected by the transmitter node.

Figure 1 shows a simplified diagram of a system according to the invention. The system contains a transmitter 10, a receiver 20, a bus 22 connecting the transmitter 10 and the receiver 20 and two other apparatuses 24, 26.

The transmitter 10 is a time stamping transmitter. The transmitter 10 has

a bus_reset detector 4, coupled to a bus_reset input of a counter TC 1. The counter 1 has an output coupled to a stamp formatting unit 2. The transmitter 10 contains a clock generator 5 coupled to a cycle timer register 6. A cycle timer update unit 8 is connected to a set input of the cycle timer register 6. An output of the cycle timer register 6 is connected to a time stamp input of the stamp formatting unit 2. The stamp formatting unit is coupled to a stamp attachment unit 3. Furthermore, the transmitter 10 has a packet input for application data packets connected to the stamp attachment unit 3, which feeds a stamped packet to a transmit buffer 7.

In operation apparatus 24 or 26 may be time master. Cycle timer register 6 contains a count of a number of clock cycles of the clock generator 5. When the cycle timer update unit 8 receives the packet on the network containing the actual value of the Cycle Timer Register of the cycle master it updates the content of the Cycle Timer Register 6.

The stamp attachment unit 3 receives each time a packet and attaches an attachment. The attachment is composed from the time stamp (N bits long e.g. N=20) received on the time stamp input and the count of the counter 1 (W bits long e.g. W=2). The packet is stored with attachment in the transmit buffer 7 until it is transmitted via the bus 22.

The receiver 20 is a time stamp based receiver. The receiver has a bus reset detector connected to a bus_reset input of a counter RC 11 which has an output coupled to a comparator 12. The receiver 20 has an attachment input for receiving attachments which have been recovered from packets cum attachment received on the bus 22. This attachment input is coupled to a stamp processing unit 13 which feeds the count value in the attachment to the comparator 12 and the timestamp to a delivery system 14. The receiver 20 also contains a clock generator 18 coupled to a cycle timer register 17 and a cycle timer update unit 19 connected to a preset input of the cycle timer register 17.

In operation cycle timer register 17 contains a count of a number of clock cycles of the clock generator 18. When the cycle timer update unit 19 receives the packet on the network containing the actual value of the Cycle Timer Register of the cycle master it updates the content of the Cycle Timer Register 17.

The comparator 12 compares the received count value with the count value in the counter 11. If these values are equal the delivery system 14 delivers the packets received from the bus 22 normally at the time determined by the time stamps, that is, it delivers a packet when the associated time stamp matches the content of the timer register 17, which contains a count of a number of clock cycles of the clock generator 18.

When a new link is first initialized the receiver uses the TB field value attached to the first received packet to synchronize counter RC 11 to counter TC 1 and this stamp is marked valid. (Alternatively counter RC 11 could be initialized to 0, similar to the counter TC 1). For each subsequent packet the value of the attached TB field is compared to the value of the counter RC 11 and the time stamp attached to that packet is marked valid if and only if these two values are equal. Whenever the detector 4 in the receiver 1 detects a bus reset or other potentially time base changing exception, it increments the counter RC 11 by one.

Up to 2^w-1 cascaded resets can be handled by this method. This can be explained as follows: When the time base changes, all stamps already stored with packets remain the same. It will take some time before all these packets have been completely processed and all time stamps relating to the old time base have been removed from the system. If multiple bus resets occur in rapid succession it is possible that there are packets in transit based on each intermediate time base. A receiver can only decide unambiguously to which time base a time stamp refers if the number of time bases for which packets may still be in transit is less than 2^w .

Handling of invalid time stamps can be done in many different ways, depending on desired accuracy of the output stream timing and allowed system complexity. The extremes are:

- The simplest way to handle such stamps is to disregard them and deliver packets with invalid time stamps immediately, or as soon as possible. Hardware cost is minimal, but the early delivery of application packets to the host system may cause buffer problems there.
- A rather complex but also very good way to handle invalid stamps is to adjust their value just before using them in order to compensate for the time base change. To do this the receiver must keep track of all 2^w-1 previous time bases, or the sizes of the discontinuities. When a stamp arrives based on an earlier time base, the receiver computes the difference between that time base and the current one and adds it to the received stamp. The stamp is then valid for normal use.

Figure 2 exemplifies this solution. Figure 2 shows a receiver 30 connected to the bus 22. Components which are similar to the components of receiver 20 of figure 1 have been indicated by the same reference numerals. Instead of comparator 12 contains a time stamp memory system 32 and an adder 34.

In operation, for each packet time stamp memory system 32 receives the

value of the attached TB field and the value of the counter RC 11. The TB field and the value of the counter are compared. On the basis of this comparison a time base difference is retrieved from a memory and applied to adder 34. Adder 34 adds this difference to the time stamp of the packet. Time stamp delivery system 14 delivers the packets normally as
5 determined by the time stamps, that is, it delivers a packet when the time stamp output from the adder matches the content of the timer register 17.

Whenever the detector 4 in the receiver 1 detects a bus reset or other potentially time base changing exception, the difference (the size of the discontinuity of the time base) between the current content of the timer register 17 and its new content after the
10 potential time base change is stored in the time stamp memory system 32. The time stamp memory system 32 maintains difference for the last 2^W-1 potential time base changes.

For most purposes, the value of W need not be very large. A value of $W=2$ for example makes it possible to account for three time base changes during the time interval that a packet is buffered. In this case only three sizes of discontinuities need to be
15 stored. Even $W=1$ (a single bit count) may suffice when it is unlikely that more than one time base change occurs in the maximum length time interval during which a packet is buffered.

A bus reset will occur for example when a new apparatus (for example apparatus 24 or 26) is attached to the bus, or when the power of such an apparatus is
20 switched on (to save power apparatuses in a consumer system are preferably switched off when they are not used). The bus reset is effected by transmitting a bus reset message on the bus. All apparatuses connected to the bus can detect this message, and then increment the content of their respective time base counter, to indicate that the bus time may have changed discontinuously. (After a reset it is not certain that the bus time will change discontinuously:
25 this will occur only if a newly switched on apparatus 24 or 26 becomes the new time master).

In practice, there may be a time interval between the bus reset and the first instant the timer cycle register is updated. In that case, the time base counter value should be incremented the first instant the timer cycle register is updated by the time master
30 after a bus reset.

In a more complicated solution, the apparatuses could increment the time base counter only when they detect that the time master is not the same after a bus reset. In this way, the W value may be reduced, however, detection of a change of time master increases the complexity of the apparatuses.

The apparatuses could also detect from the update itself whether the bus time has changed discontinuously (given the accuracy of the clock rate specification, the update can only differ plus or minus one from the content of the timer register, so detection of a change of more than a threshold value of, say, 2 can be used to increment the time base counter). However, this may lead to inconsistencies between different apparatuses.

Treatment of late messages

The asynchronous transmission protocol implements a time-stamp mechanism for data types, such as MPEG, that require a constant (jitter free) transport delay. The general idea is that a transmitter attaches a time stamp to each packet that indicates the moment (with respect to bus time) at which a receiver should deliver that packet to its host system. The transmitter computes the stamp such that its value minus the current time is always greater than the maximum delay any packet would experience under normal circumstances.

In this situation all packets arriving at a receiver have a stamp value referring to some future moment. However, there are exceptional situations where this rule may be broken. As an example, consider the loss of cycle start packet and/or a full bus reset. Packets may be held up in a transmitter for so long that when they are finally transmitted and received they arrive too late for proper delivery.

An application level packet (e.g. an MPEG-TP) that arrives too late at a receiver for properly timed delivery is called a late packet. Since the time stamp is just a value of for example 20 bits without a precisely defined semantic interpretation it is not clear how to determine exactly when a packet is late. For example: a stamp that refers to a moment 1 msec in the past can also be interpreted as a stamp referring to a moment 31 msec in the future (when the clock frequency is such that a 20 bit value wraps around in a 32 msec window).

To solve this, the 32 msec window is divided into a "late" part with a duration of 4 msec and an "early" part of 28 msec. The boundary between the two parts is always the current bus time (Cycle Timer Register (CTR) value). The arrival time of an application level packet is defined as the bus time at which the last bit of the bus packet containing the last bit of the application packet arrives (i.e. all bits of the application packets have been received and the CRC (Cyclic Redundancy Code) has been checked).

An application packet with arrival time A is late if and only if its time

stamp value falls within the interval $[A-4\text{msec}, A)$; otherwise it is early. The 4 msec interval is exactly 32 cycles or 32×3072 clock ticks of the 24.576 MHz clock.

Early packets will be delivered at the time indicated in the stamp whenever possible. Handling of late packets is implementation (and perhaps application) dependent for example, it can be delivered anyway, as soon as possible, or just thrown away.

The invention as described by way of example by use of the drawing provides for a system for example provides a constant time delay between inputting and outputting, as measured against a time measured by the timing means. The progression of the time indicated by the timing means can exhibit unpredictable discontinuities. This is because the time of inputting and the time of outputting cannot then be measured with respect to the same time scale. In the system according to the invention it is possible to overcome the effects of such discontinuities.

CLAIMS:

1. A system with an input, an output and timing means, for associating a time-stamp with data inputted at the input, and outputting said data at the output when a time indicated by the timing means is in a predetermined relation with the time-stamp, characterized, in that it contains potential discontinuity signalling means, for signalling a potential discontinuity in a progression of the time indicated by the timing means and time correction means, for correcting the predetermined relation when a potential discontinuity is signalled for an instant between inputting and outputting the data.
2. A system according to Claim 1, wherein the timing means contains an input timer register and an output timer register, incrementing means for periodically and individually incrementing these registers, and a plurality of synchronizing means, each for synchronizing the input timer register with the output timer register, the potential discontinuity signalling means being arranged for signalling the potential discontinuity when it detects that one of the plurality of synchronizing means takes over synchronizing from another one of the plurality of synchronizing means.
3. A system according to Claim 2, containing a transmitter, a receiver and a bus connecting the transmitter and the receiver and at least one other apparatus, the transmitter containing the input and the input timer register, the receiver containing the output and the output timer register, the data and the time-stamp being transmitted from the transmitter to the receiver via the bus, the transmitter also transmitting a code indicating a number of potential discontinuities signalled prior to inputting the data via the bus in association with the time-stamp.
4. A system according to Claim 3, wherein the receiver contains the time correction means, which are arranged for comparing the code with a local count of potential discontinuities, and for correcting the predetermined relation when the local count does not match the code.
5. A system according to Claim 4, wherein the time correction means contain a discontinuity store, for storing a continuity amplitude, representing the amplitude of an effect on the time progression of at least a most recently signalled potential discontinuity, and for correcting the predetermined relation according to this amplitude.

6. A system according to Claim 5, wherein at least two most recent amplitudes are stored.

7. A transmitter for transmission via a bus, the transmitter comprising

- an input timer register;

5 - incrementing means for periodically incrementing the input timer register;

- updating means for updating said input timer register according to a synchronization signal;

- an input;

- an output for connection to the bus and

10 - means for associating data inputted at the input with a time-stamp obtained from the input timer register, and for outputting said data at the output in combination with the time-stamp,

characterized, in that it contains

- potential discontinuity signalling means, for signalling a potential discontinuity

15 in a progression of the time indicated by the timing means;

- a discontinuity counter for counting a count of potential discontinuities signalled by the potential discontinuity signalling means;

the transmitter being arranged for transmitting a code indicating said count via the bus in association with the time-stamp.

20 8. A transmitter according to Claim 7, wherein the potential discontinuity signalling means are arranged for signalling the potential discontinuity when it detects that one of a plurality of synchronizing means takes over generating the synchronization signal from another one of the plurality of synchronizing means.

9. A receiver for reception from a bus, the receiver comprising

25 - an output timer register;

- incrementing means for periodically incrementing the output timer register;

- updating means for updating said output timer register according to a synchronization signal;

- an input for connection to the bus;

30 - an output;

- means for outputting data received at the input at the output when a time indicated by the output timer register is in a predetermined relation with a time-stamp received from the input,

characterized, in that the receiver comprises

- potential discontinuity signalling means, for signalling a potential discontinuity in a progression of the time indicated by the timing means;

- a discontinuity counter for counting a local count of potential discontinuities signalled by the potential discontinuity signalling means;

5 - time correction means for correcting the predetermined relation when the local count does not match a code indicating a count of potential discontinuities received in association with the time stamp.

10. A receiver according to Claim 9, wherein the potential discontinuity signalling means are arranged for signalling the potential discontinuity when it detects that
10 one of a plurality of synchronizing means takes over generating the synchronization signal from another one of the plurality of synchronizing means.

11. A receiver according to Claim 9 or 10, wherein the time correction means contain a discontinuity store, for storing a continuity amplitude, representing the amplitude of
an effect on the time progression of at least a most recently signalled potential discontinuity,
15 and for correcting the predetermined relation according to this amplitude.

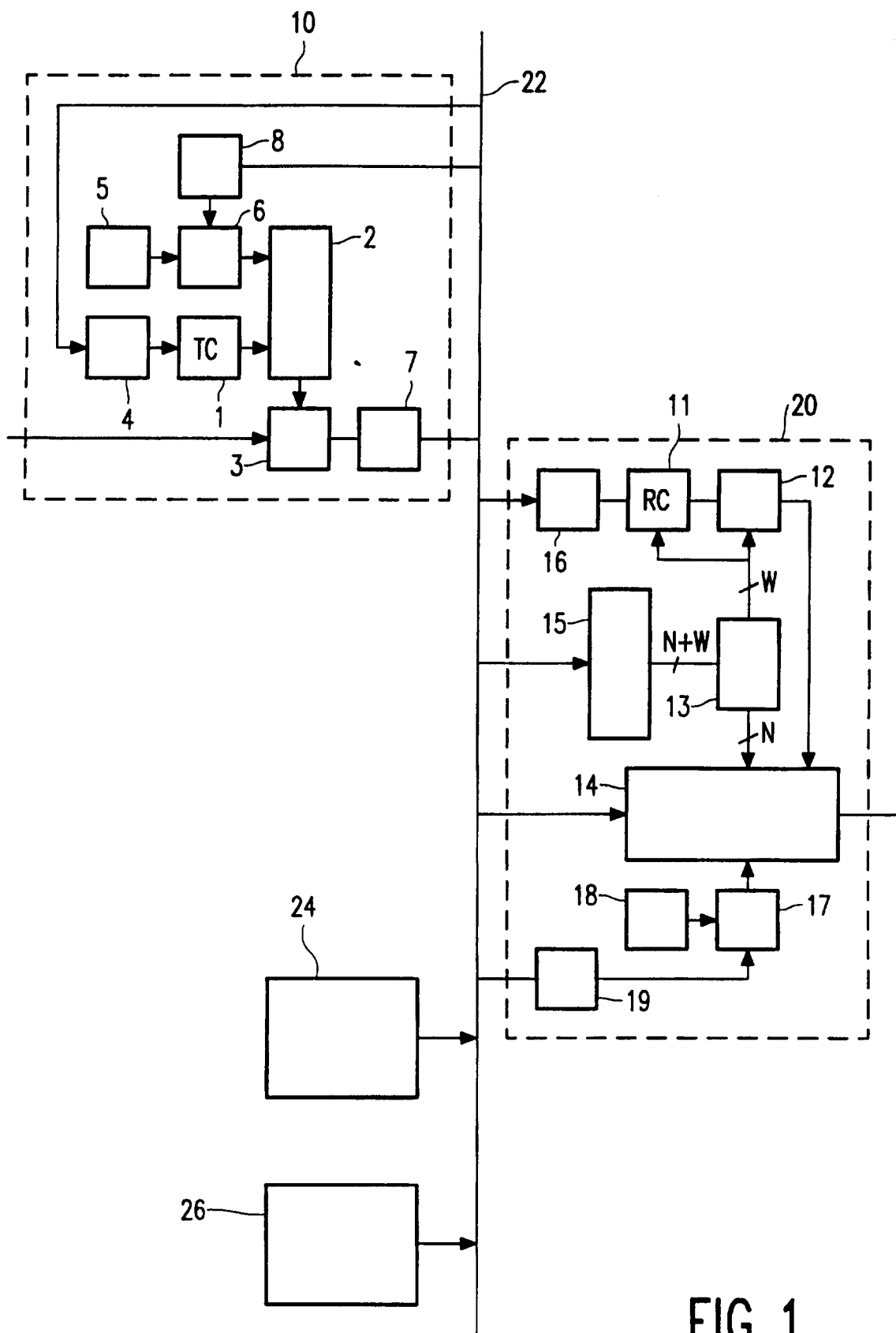
$1/2$ 

FIG. 1

2/2

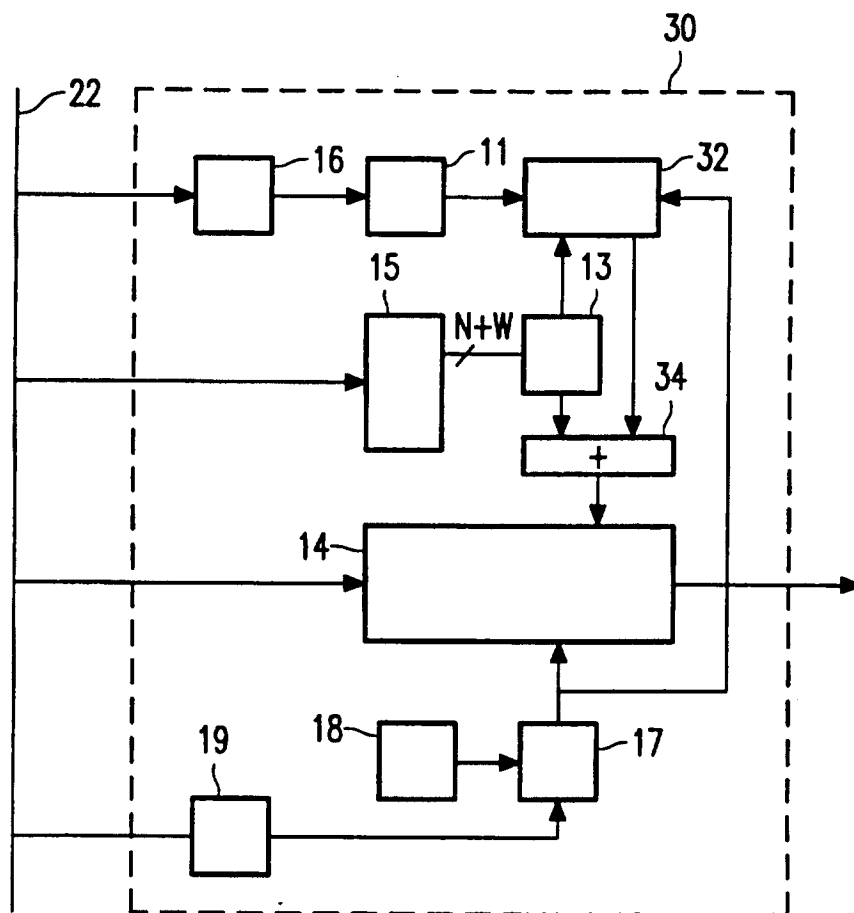


FIG. 2

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平10-509294

(43) 公表日 平成10年(1998) 9月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/40

H 0 4 L 11/00

3 2 0

7/04

7/04

A

審査請求 未請求 予備審査請求 未請求(全 18 頁)

(21) 出願番号 特願平8-529126
 (86) (22) 出願日 平成8年(1996) 3月11日
 (85) 翻訳文提出日 平成8年(1996) 11月26日
 (86) 国際出願番号 P C T / I B 9 6 / 0 0 2 0 4
 (87) 国際公開番号 W O 9 6 / 3 1 0 3 3
 (87) 国際公開日 平成8年(1996) 10月3日
 (31) 優先権主張番号 9 5 2 0 0 7 8 4 . 7
 (32) 優先日 1995年3月29日
 (33) 優先権主張国 オランダ (NL)
 (81) 指定国 E P (A T , B E , C H , D E ,
 D K , E S , F I , F R , G B , G R , I E , I T , L
 U , M C , N L , P T , S E) , J P

(71) 出願人 フィリップス エレクトロニクス ネムロ
 ーゼ フェンノートシャップ
 オランダ国 5621 ペーアー アインドー
 フェン フルーネヴァウツウェッハ 1
 (72) 発明者 ブロックス ルドルフ ヘンリクス ヨハ
 ネス
 オランダ国 5621 ペーアー アインドー
 フェン フルーネヴァウツウェッハ 1
 (74) 代理人 弁理士 杉村 暁秀 (外6名)

(54) 【発明の名称】 データ入出力間に予め設定されたタイミング関係を設けたシステム並びにこのようなシステムの
 送信機及び受信機

(57) 【要約】

システムは、タイムスタンプをその入力部に入力されたデータに関連させて、データ受信後の予め設定された遅延を有する瞬時を特定する。このシステムは、前記データをタイムスタンプに応じて出力部から出力する。入力及び出力は、周期的に同期される差クロックによって時間測定される。所定の時間には、同期源が変化するおそれがあり、これにより、同期した時間に不連続が潜在的に生じる。システムは、クロックされた時間の進行中に潜在的な不連続を信号送信する潜在不連続信号送信手段を含む。予め設定された関係は、データの入出力間の瞬時にこのような不連続が信号送信される際に訂正される。

【特許請求の範囲】

1. 入力部と、出力部と、この入力部に入力されるデータをタイムスタンプに関連させるとともに表示された時間が前記タイムスタンプと予め設定された関係にある場合に前記出力部から前記データを出力するタイミング手段とを有するシステムにおいて、前記システムは、前記タイミング手段によって表示された時間の進行中に潜在的な不連続を信号送信する潜在不連続信号送信手段と、潜在的な不連続をデータの入出力間の瞬時に信号送信する際に予め設定された関係を訂正する時間訂正手段とを含むことを特徴とするシステム。
2. 前記タイミング手段は、入力タイマレジスタと、出力タイマレジスタと、周期的かつ個別にこれらレジスタを増分させる増分手段と、前記入力タイマレジスタを前記出力タイマレジスタにそれぞれ同期させる複数の同期手段とを含み、前記潜在不連続信号送信手段を、前記複数の同期手段のうちの 하나가前記複数の同期手段のうちの他の一つからの同期を引き継いだことを検出すると前記潜在的な不連続を信号送信するように配置したことを特徴とする請求の範囲 1 記載のシステム。
3. 送信機と、受信機と、前記送信機、受信機及び少なくとも一つの他の装置に接続するバスとを含み、前記送信機は前記入力部及び入力タイマレジスタを含み、前記受信機は前記出力部及び出力タイマレジスタを含み、前記データ及びタイムスタンプを、前記バスを介して前記送信機から前記受信機に伝送し、前記送信機は、前記データを前記タイムスタンプに関連させて前記バスを介した入力を行う前に信号送信された潜在的な不連続の数を表すコードも送信するようにしたことを特徴とする請求の範囲 2 記載のシステム。
4. 前記受信機は、前記コードを潜在的な不連続の局所計数と比較するとともにこの局所計数が前記コードに整合しない場合には前記予め設定された関係を訂正するように配置した時間訂正手段を含むことを特徴とする請求の範囲 3 記載のシステム。
5. 前記時間訂正手段は、少なくとも最近信号送信した潜在的な不連続の時間進行への影響の振幅を表す連続振幅を記憶させるとともに前記予め設定された関

係をこの振幅に応じて訂正する連続記憶装置を含むことを特徴とする請求の範囲 4 記載のシステム。

6. 少なくとも二つの最近振幅を記憶させるようにしたことを特徴とする請求の範囲 5 記載のシステム。

7. バスを介した伝送を行う送信機であって、
入力タイマレジスタと、
この入力タイマレジスタを周期的に増分させる増分手段と、
前記入力タイマレジスタを同期信号に応じて更新する更新手段と、
入力部と、
前記バスに対して訂正する出力部と、
前記入力部に入力されたデータを前記入力タイマレジスタから獲得した前記タイムスタンプに関連させるとともに前記データに前記タイムスタンプを結合して前記出力部から出力する手段とを具える送信機において、

前記送信機は、
タイミング手段によって表示された時間の進行中潜在的な不連続を信号送信する潜在不連続信号送信手段と、

前記潜在不連続信号送信手段から信号送信された潜在的な不連続の計数を計数する不連続カウンタとを具え、

前記送信機を、前記タイムスタンプに関連させて前記バスを介した前記計数を表すコードを送信するように配置したことを特徴とする送信機。

8. 前記潜在不連続信号送信手段を、複数の同期手段のうちの一つが複数の同期手段のうちの他の一つからの同期信号の発生を引き継いだことを検出すると前記潜在的な不連続を信号送信するように配置したことを特徴とする請求の範囲 7 記載の送信機。

9. バスからの受信を行う受信機であって、
出力タイマレジスタと、
この出力タイマレジスタを周期的に増分させる増分手段と、
前記出力タイマレジスタを同期信号に基づいて更新する更新手段と、
前記バスに接続する入力部と、

出力部と、

前記出力タイマレジスタによって表示された時間が前記入力部から受信されたタイムスタンプと予め設定された関係となると前記入力部で受信したデータを前記出力部から出力する手段とを具える受信機において、

前記受信機は、

タイミング手段によって表示された時間の進行中潜在的な不連続を信号送信する潜在不連続信号送信手段と、

この潜在不連続信号送信手段から信号送信された潜在不連続の局所計数を計数する不連続カウンタと、

前記タイムスタンプに関連して受信した潜在的な不連続の計数を表すコードに前記局所計数が整合しない場合前記予め設定された関係を訂正する時間訂正手段とを具えることを特徴とする受信機。

10. 前記潜在不連続信号送信手段を、複数の同期手段のうちの一つがこれら複数の同期手段のうちの他の一つからの同期信号の発生を引き継いだことを検出すると前記潜在的な不連続を信号送信するように配置したことを特徴とする請求の範囲9記載の受信機。

11. 前記時間訂正手段は、少なくとも最近信号送信された潜在的な不連続の時間進行への影響の振幅を表す連続振幅を記憶するとともにこの振幅に応じて前記予め設定された関係を訂正する不連続記憶装置を含むことを特徴とする請求の範囲9又は10記載の受信機。

【発明の詳細な説明】

データ入出力間に予め設定されたタイミング関係を設けたシステム

並びにこのようなシステムの送信機及び受信機

本発明は、入力部と、出力部と、この入力部に入力されるデータをタイムスタンプに関連させるとともに表示された時間が前記タイムスタンプと予め設定された関係にある場合に前記出力部から前記データを出力するタイミング手段とを有するシステムに関するものである。このようなシステムは、未公開の欧州特許出願公開明細書第94201945号 (PHN14. 935 EP-P) に記載されている。

このようなシステムは、例えば、タイミング手段によって測定した時間に対して測定されたような、入出力間の一定時間の遅延を提供する。この一定時間遅延は、タイミング手段によって表示された時間の進行が予測不可能な不連続を示す場合補償されない。この理由は、この際に入力的时间及び出力の時間が同一タイムスケールに対して測定できないからである。

本発明の目的は、このような不連続の影響を克服できるようにすることである。

本発明によるシステムは、前記システムは、前記タイミング手段によって表示された時間の進行中に潜在的な不連続を信号送信する潜在不連続信号送信手段と、潜在的な不連続をデータの入出力間の瞬時に信号送信する際に予め設定された関係を訂正する時間訂正手段とを含むことを特徴とするものである。このようにして、潜在的な妨害の影響の各々が信号送信され、タイミング関係が補正される。

本発明によるシステムの一例では、前記タイミング手段は、入力タイマレジスタと、出力タイマレジスタと、周期的かつ個別にこれらレジスタを増分させる増分手段と、前記入力タイマレジスタを前記出力タイマレジスタにそれぞれ同期させる複数の同期手段とを含み、前記潜在不連続信号送信手段を、前記複数の同期手段のうちの一つが前記複数の同期手段のうちの他の一つからの同期を引き継いだことを検出すると前記潜在的な不連続を信号送信するように配置する。したがって、複数の相違する同期源、例えば P 1 3 9 4 バスシステムのタイムマスタと

なりうる相違する装置が存在する。同期源が変化すると、不連続が潜在的に発生する。したがって、P 1 3 9 4では、新たなタイムマスタが予め古いタイムマスタに同期された場合には不連続が存在しないが、例えば新たなタイムマスタがタイムマスタになる直前に切り替えられた場合には不連続が存在する。

本発明によるシステムは、送信機と、受信機と、前記送信機、受信機及び少なくとも一つの他の装置に接続するバスとを含み、前記送信機は前記入力部及び入力タイムレジスタを含み、前記受信機は前記出力部及び出力タイムレジスタを含み、前記データ及びタイムスタンプを、前記バスを介して前記送信機から前記受信機に伝送し、前記送信機は、前記データを前記タイムスタンプに関連させて前記バスを介した入力を行う前に信号送信された潜在的な不連続の数を表すコードも送信するようにした他の例を有する。したがって、本発明はバスシステムに適用される。このシステム、例えばP 1 3 9 4バスシステムにおいて、データは、データの入力とバスが利用できる時間との間の時間に依存して変動しうる遅延を経験する。この際、この遅延は、予め設定された時間関係が生じるまで受信機中でデータを更に遅延させることによって補償される。タイムスタンプとコードの両方をバスを介して送信することにより、受信機を、タイミング関係を訂正できるようにする。

本発明によるシステムの他の例では、前記受信機は、前記コードを潜在的な不連続の局所計数と比較するとともにこの局所計数が前記コードに整合しない場合には前記予め設定された関係を訂正するように配置した時間訂正手段を含む。

本発明によるシステムの他の例では、前記時間訂正手段は、少なくとも最近信号送信した潜在的な不連続の時間進行への影響の振幅を表す連続振幅を記憶させるとともに前記予め設定された関係をこの振幅に応じて訂正する連続記憶装置を含む。（潜在的な不連続が実現されないことがわかった場合に零とすることができる）不連続の実際の振幅を、同期が最初に実行されるまで、すなわち潜在的な不連続が信号送信された後まで測定できない。測定された不連続を記憶することにより、タイムスタンプと出力の時間との間の関係を、入出力が一つ以上の潜在的な不連続によって分離される際に調整して、入出力間の実際の時間関係が不連続によって悪影響を及ぼされないようにすることができる。

図 1 は、本発明によるシステムを示す。

図 2 は、本発明による受信機を示す。

IEEE から出された IEEE P1394 規格は、共通のシステムクロック信号を大或に分布させる必要なく相違する複数のビットレートで通信することができる多ノードを有するデジタル通信ネットワークのアーキテクチャを規定する。原理的には、各ノードは、ネットワークの他のビットクロック発生器に任意の方法で同期すなわちロックされないそれ自体の局所ビットクロック発生器を有する。24.576MHz \pm 100ppm の基準クロックレートが規定され、この周波数に 4, 8 又は 16 を乗算することにより三つのあり得るビットクロックレートが獲得される。

P1394 アーキテクチャは、大或バス時間の概念を導入するのに用いられる共通時間基準機構も規定する。これは、ある特定の規則に基づいて基準クロックレートで増分するいわゆるサイクルタイマレジスタを用いて行われる。しかしながら、これら基準クロックのいずれもロックされないので、サイクルタイマレジスタの値は、それらが元々全て等しい場合には、時間全体に亘って等しく分布する。同期中これらの値を保持するために、ノードのうちの一つをサイクルマスタに指定し、このノードは、それ自体のサイクルタイマレジスタの実効値を含むネットワークの packets を周期的（平均して 125 μ s ごとに 1 回）に送信する義務がある。この packets を受信する他の全てのノードは、受信した値に応じてそれら自体のサイクルタイマレジスタの内容を更新する義務を有する。

P1394 の動作では、バスに対するアクセスが任意の所望の時間で保証されない。その結果、このバスを横切って移送されたデータは、固定されない遅延を経験する。この遅延ジッタは、(MPEG-2 移送ストリームのような) あるタイプのデータがある特定の予防措置を講じないと移送できないような大きさとなる。あるタイプの予防措置では、移送前に各 packets にタイムスタンプを付加するとともに、このスタンプを受信機で使用する一定の移送遅延を人工的に創成している。このような機構の詳細な記載を、欧州特許出願公開明細書第 94201945.6 号 (PHN14.935 EP-P) から見つけることができる。

この方法では、スタンプの値は、packets がそれ自体のホストシステムから送

信機に供給される際に送信ノードのサイクルタイムレジスタの値から引き出される。一定の移送遅延を創成するために、この方法は、受信機のバス時間（＝サイクルタイムレジスタの値）が任意の packets に付加したスタンプの値に等しくなるまで受信機に記憶すべき任意の packets を必要とする。バスに対するアクセスを全ての時間で同一送信機に許可できないので、送信側で緩衝も必要とされる。

このタイムスタンプの方法は、バスに異常が存在しない限り良好に作用する。この方法が通常的に失敗し、すなわちバスリセットシーケンスの発生後の短時間にある特定の状況となる。新たなノードがネットワークに追加され又は存在するノードがネットワークから除去される場合常に、バスリセットが行使される。バスリセットシーケンスは、サイクルマスタとしても作用するネットワークルートノードの選択を含む。バスにちょうど追加した新たなノードにこれが発生すると、サイクルマスタとしてのこの選択はバスタイムで不連続となるおそれがある。以後、これを時間基準変化と称する。これは、送信機又は受信機の任意のバッファで現在待機する packets に付加した全てのスタンプ値を無効にもするため不所望なものである。これについて何も行われないと、最悪の場合、packets が正確な時間でなくかなり遅れて供給されるので、時間基準変化によりバッファがオーバーフローする。例えば、CRT が 16 ミリ秒ジャンプバックすると、元々 100 マイクロ秒前を指定したスタンプは、16.1 ミリ秒前を指定し、対応する packets はその時間の間供給バッファで待機したままである。

本発明は、中間時間基準変化が原因でスタンプが無効となるか否かを、packets に付加したタイムスタンプを検査することによって検出することができる方法を記載する。また、本発明は、時間基準変化が 1 回以上急速に連続して発生しても、時間基準変化を補償するために個々のスタンプ値を調整するよう任意の動作をとることができることに基づく方法を提供する。

packets に付加した時間スタンプを、TB（時間基準）フィールドと称するある固定幅 W（ビット数）の新たなフィールドだけ延長する。

サイクルタイムレジスタ値のスタンピング（及び多分その次の処理）によって新たなタイムスタンプを送信機に創成すると常に、TB フィールドは、送信機に配置された W ビットカウンタ TC の値を仮定する。この TB 値は、元のタイムス

タンプとともにパケットに付加し、それらは送信される。送信機が初期化されると常に、WビットカウンタTCの値を零に設定する。バスリセット、すなわち他の潜在的な時間基準変化の異常が送信ノードで検出されると常に、WビットカウンタTCの値が1増分される。

図1は、本発明によるシステムの概略図である。このシステムは、送信機10と、受信機20と、送信機10、受信機20、及び他の二つの装置24、26に接続するバス22とを含む。

送信機10を、タイムスタンピング送信機とする。送信機10は、カウンタTC1のバス__リセット入力部に結合したバス__リセット検出器4を有する。カウンタ1は、スタンプフォーマット化ユニット2に結合した出力部を有する。送信機10は、サイクルタイマレジスタ6に結合したクロック発生器5を含む。サイクルタイマ更新ユニット8を、サイクルタイマレジスタ6のセット入力部に接続する。サイクルタイマレジスタ6の出力部を、スタンプフォーマット化有する2のタイムスタンプ入力部に接続する。スタンプフォーマット化ユニットを、スタンプ付加ユニット3に結合する。さらに、送信機10は、スタンプされたパケットを送信バッファ7に供給するスタンプ付加ユニット3に接続したアプリケーションデータパケット用のパケット入力部を有する。

動作中、装置24又は26をタイムマスタとすることができる。サイクルタイマレジスタ6は、クロック発生器5のクロックサイクル数の計数を含む。サイクルタイマ更新ユニット8が、サイクルマスタのサイクルタイマレジスタの実効値を含むネットワークのパケットを受信すると、それは、サイクルタイマレジスタ6の内容を更新する。

スタンプ付加ユニット3は、時間ごとにパケットを受信し、アタッチメントを付加する。アタッチメントを、タイムスタンプ入力部で受信したタイムスタンプ(Nビット長、例えばN=20)及びカウンタ1の計数(Wビット長、例えばW=2)から構成する。パケットを、それがバス22を介して送信されるまで、アタッチメントとともに送信バッファ7に記憶させる。

受信機20を、タイムスタンプ基準受信機とする。受信機は、コンパレータ12に結合した出力部を有するカウンタRC11のバス__リセット入力部に結合し

たバスリセット検出器を有する。受信機20は、バス22で受信したパケット及びアタッチメントから回復されたアタッチメントを受信するアタッチメント入力部を有する。このアタッチメント入力部を、アタッチメントの計数値をコンパレータ12に供給するとともにタイムスタンプを供給システム14に供給するスタンプ処理ユニット13に結合する。受信機20は、サイクルタイマレジスタ17に結合したクロック発生器18と、サイクルタイマレジスタ17のプリセット入力部に接続したサイクルタイマ更新ユニット19も含む。

動作中、サイクルタイマレジスタ17は、クロック発生器18のクロックサイクル数の計数を含む。サイクルマスタのサイクルタイマレジスタの実効値を含むネットワークのパケットをサイクルタイマ更新ユニット19が受信すると、それは、サイクルタイマレジスタ17の内容を更新する。

コンパレータ12は、受信した計数値をカウンタ11の計数値と比較する。これら値が等しい場合、供給システム14は、通常タイムスタンプによって決定したときにバス22から受信したパケットの供給を行う。すなわち、供給システム14は、クロック発生器18のクロックサイクル数の計数を含むタイマレジスタ17の内容に関連のタイムスタンプが整合するとパケットの供給を行う。

新たなリンクが最初に初期化されると、受信機は、最初に受信したパケットに付加されたTBフィールド値を用いて、カウンタRC 11をカウンタTC 1に同期させ、このスタンプを有効にマークする（カウンタRC 11を、カウンタTC 1と同様に0に初期化することもできる。）。次のパケットの各々に対して、付加されたTBフィールドの値をカウンタRC 11の値と比較し、これら二つの値が等しい場合のみパケットに付加したタイムスタンプを有効にマークする。受信機1の検出器4がバスリセットすなわち他の潜在的な時間基準変化の異常を検出すると、それはカウンタRC 11を1増分する。

2^W - 1まで、継続したりセットをこの方法によって処理することができる。これを以下のように実現することができる。時間基準が変化すると、パケットとともに既に記憶された全てのスタンプは同一のままである。これら全てのパケットが完全に処理されるまで幾分時間がかかり、古い時間基準に関連する全てのタイムスタンプはシステムから除去される。多バスリセットが急速に連続して生じ

る場合、各中間時間基準に基づく通過中にパケットが存在するのが可能となる。受信機は、パケットがまだ通過中でありうる時間基準の数が 2^W 未満である場合タイムスタンプが委ねるのはどの時間基準かを明確に決定することができる。

無効なタイムスタンプの処理を、出力システムタイミングの所望の正確さ及び許容されるシステムの複雑さに依存して多数の相違する方法で行うことができる。極端な場合には、

- このようなスタンプを処理する最も簡単な方法では、これらタイムスタンプを無視し、無効なタイムスタンプを有するパケットをすぐに、すなわちできるだけ早く供給する。ハードウェアコストは最小になるが、アプリケーションパケットをホストシステムに迅速に供給するとバッファに問題が生じるおそれがある。

- 無効なスタンプを処理するのに幾分複雑であるが非常に良好な方法では、これらスタンプを用いる直前にこれらの値を調整して、時間基準変化の補償を行う。これを行うために、受信機は、全ての時間基準の前に $2^W - 1$ のトラックを保持する、すなわち不連続のサイズを保持する必要がある。スタンプがより早い時間基準に基づいて到達すると、受信機は、その時間基準と現在のものとの間の差を算出し、受信したスタンプにそれを追加する。その後スタンプは通常の使用に対して有効となる。

図2はこの解決を実証する。図2は、バス22に接続した受信機30を示す。図1の受信機20の部材と同様な部材には同一参照番号を付すものとする。この受信機30は、コンパレータ12の代わりにスタンプメモリシステム32及び加算器34を含む。

動作中、各パケットに対して、タイムスタンプメモリシステム32は、付加されたTBフィールドの値及びカウンタRC 11の値を受信する。TBフィールド及びカウンタの値を比較する。この比較に基づいて、時間基準差をメモリから検索し、これを加算器34に供給する。加算器34はこの差をパケットのタイムスタンプに加算する。タイムスタンプ供給システム14は、通常タイムスタンプによって決定されたように供給を行い、すなわち、加算器から出力されたタイムスタンプの出力がタイマレジスタ17の内容に整合する際にパケットの供給を行う。

受信機 1 の検出器 4 がバスリセット又は他の潜在的な時間基準変化の異常を検出すると常に、タイマレジスタ 17 の現在の内容と潜在的な時間基準変化の後の新たな内容との間の差（時間基準の不連続のサイズ）を、タイムスタンプメモリシステム 32 に記憶させる。タイムスタンプメモリシステム 32 は、最後の $2^W - 1$ の潜在的な時間基準変化の差を維持する。

大抵の目的に対して、W の値を非常に大きくする必要がない。例えば $W = 2$ の値により、パケットが緩衝される時間間隔中三つの時間基準変化を考慮することができる。この場合、三つの不連続のサイズを記憶するだけでよい。一つ以上の時間基準変化がパケットの緩衝中最長時間間隔で発生する際、 $W = 1$ （単一ビット計数）でも十分とすることができる。

バスリセットは、例えば、新たな装置（例えば装置 24 又は 26）がバスに付加される際、すなわちこのような装置の電力がオンに切り替えられる（電力をセーブするために、使用しないときには市販のシステムの装置をオフに切り替える。）際に発生する。バスリセットを、バス上でバスリセットメッセージを送送することによって行う。バスに接続された全ての装置は、このメッセージを検出し、それらの各時間基準カウンタの内容を増分して、バス時間が不連続に変化したことを表すことができる（リセット後、バス時間が不連続に変化したことは確かではない。これは、新たにスイッチオンした装置 24 又は 26 が新たなタイムマスタの場合のみ発生する。）。

実際には、バスリセットとタイマサイクルが更新された最初の瞬時との間に時間間隔が存在するおそれがある。この場合、時間基準カウンタの値は、タイマサイクルレジスタがバスリセット後タイムマスタによって更新される最初の瞬時に増分される必要がある。

より複雑な解決では、装置は、バスリセット後タイムマスタが同一でないことを検出した場合のみ時間基準カウンタを増分させる。このようにして、W 値を減少させることができるが、タイムマスタの変化を検出するためには装置がより複雑になる。

装置は、バス時間が不連続に変化するか否かを更新それ自体から検出することもできる（クロックレート仕様が正確である場合、更新は、タイマレジスタの内

容から±1のみ相違するようにすることができ、その結果、例えば2のしきい値より大きい変化の検出を、時間基準カウンタを増分させるのに利用することができる。)。しかしながら、これは、相違する装置間で一致しなくなるおそれがある。

遅いメッセージの取扱い

非同期伝送プロトコルは、一定の（ジッタのない）移送遅延を必要とするMP EGのようなデータタイプ用のタイムスタンプ機構を実現する。一般的な概念は、受信機がパケットをそのホストシステムに供給した（バス時間に対する）瞬時を表す各パケットに対して送信機がタイムスタンプを付加することである。送信機は、その値から現在の時間を引いたものが通常の状況下で任意のパケットが経験する最大遅延より既に大きくなるようなスタンプを算出する。

この状況では、受信機に到達する全てのパケットは、ある将来の瞬時を言及するスタンプ値を有する。しかしながら、この規則が破られる異常状態が存在する。一例として、サイクル開始パケットの損失及び／又はフルバスリセットを考察する。パケットを、それらが最終的に送信し及び受信される際に、それらが適切な供給に対して非常に遅く到達する限り送信機に保持することができる。

適切な時間の供給に対して受信機に非常に遅く到達するアプリケーションレベルパケット（例えば、MPEG-T P）を、レートパケットと称する。タイムスタンプを、正確に規定されたセマンティックス解釈なしで例えば20ビットの値とするので、パケットが遅い場合の正確な決定方法は明らかではない。例えば、以前の1ミリ秒の瞬時を言及するスタンプを、（クロック周波数が32ミリ秒のウィンドウの周辺の20ビット値の重なりとなるようにする場合）将来の31ミリ秒の瞬時を言及するスタンプとして解釈することもできる。

これを解決するために、32ミリ秒のウィンドウを、4ミリ秒の持続時間及び28ミリ秒の「早」パートを有する「遅」パートに分割する。二つのパートの境界を常に現バス時間（サイクルタイマレジスタ（CRT）値）とする。アプリケーションレベルパケットの到達時間を、アプリケーションパケットの最終ビットを含むバスパケットの最終ビットが到達するバス時間と規定する（すなわち、アプリケーションパケットの全てのビットが受信され、CRC（サイクル冗長コー

ド) が検査される。))。

到達時間Aを有するアプリケーションパケットは、そのタイムスタンプ値がA－4ミリ秒の間隔にある場合のみ遅くなり、そうでない場合には早くなる。4ミリ秒の間隔は、正確には32サイクルすなわち24.576MHz クロックの32*3072 クロックの瞬間となる。

早パケットを、可能なときに常に、スタンプに表示された時間で発生させる。遅パケットの処理は、例えば、何としても供給できるか否か、すなわち利用し損なうか否かに応じて、できるだけ早く実現（及び多分適用）される。

図面を用いて例示したように説明した本発明は、例えば、タイミング手段により計測された時間に対して測定したように入出力間の一定の時間遅延を提供するシステムを提供する。タイミング手段によって表された時間の進行は、予測不可能な不連続を表すことができる。この理由は、この際入力時間及び出力時間を同一タイムスケールに対して測定できないからである。本発明によるシステムによれば、このような不連続の影響を克服することができる。

【図 1】

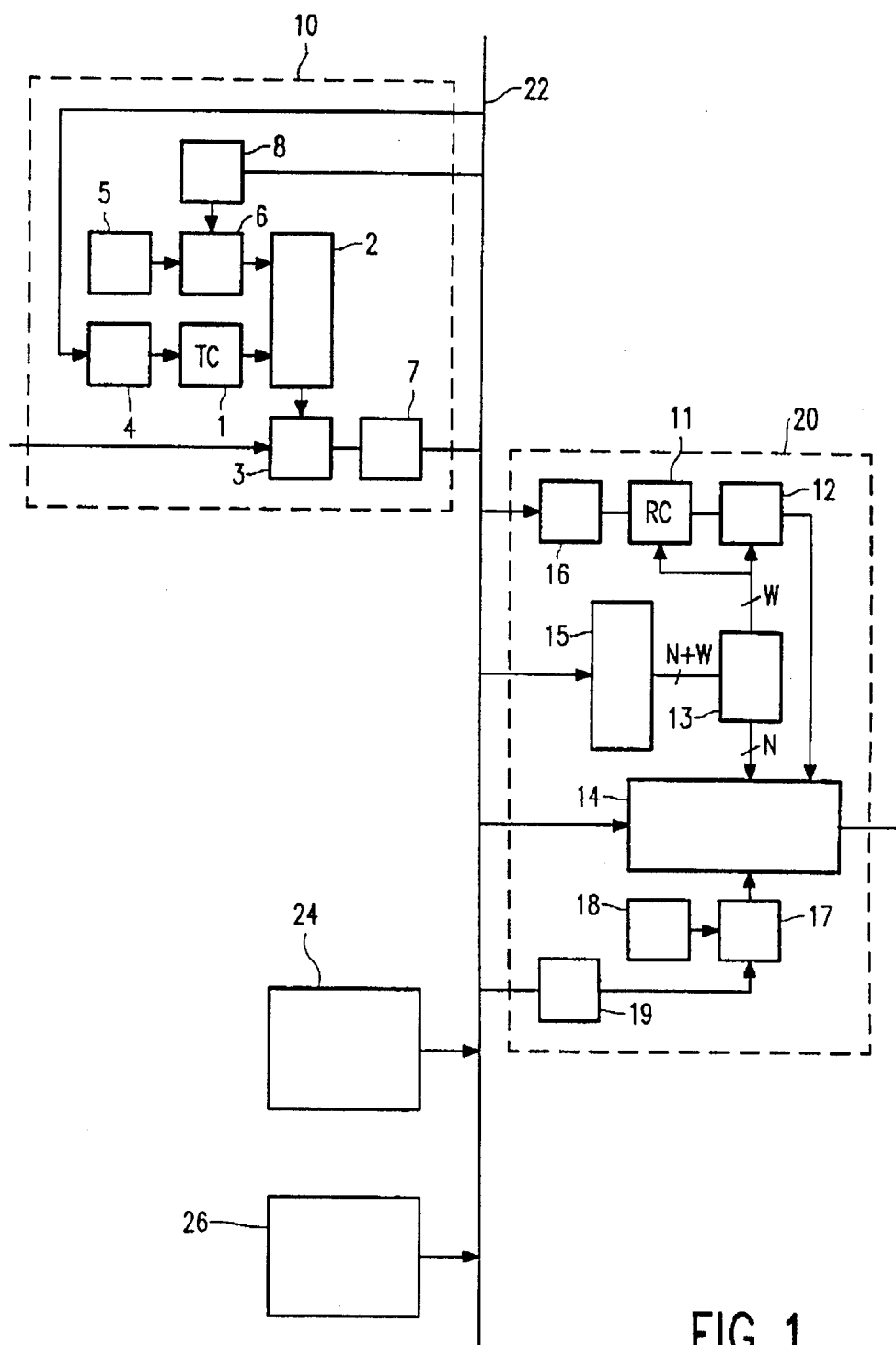


FIG. 1

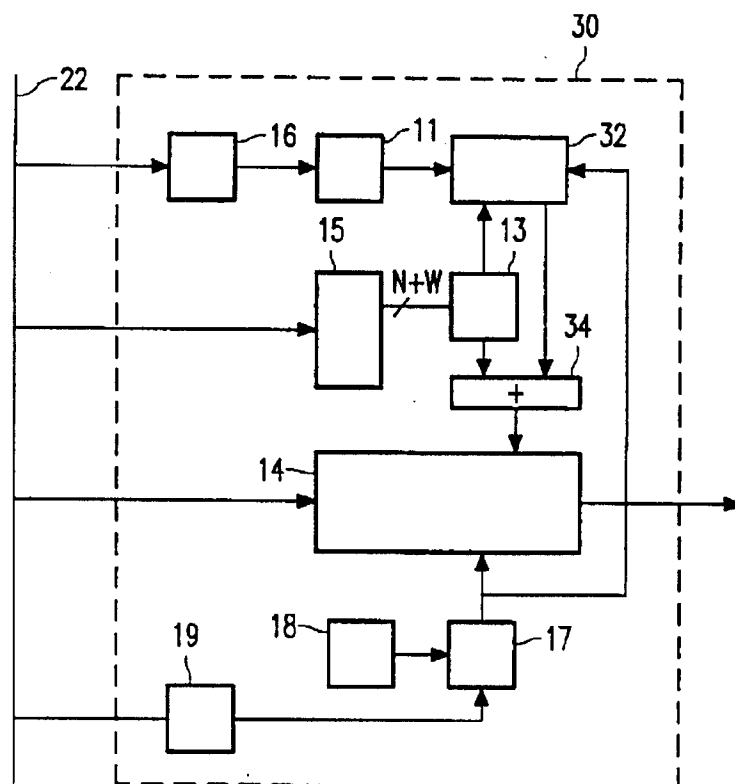


FIG. 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/00204

A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: H04L 7/04, H04Q 11/04, H04J 3/06 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H04J, H04L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0602282 A1 (ALCATEL N.V.), 22 June 1994 (22.06.94), column 1, line 37 - column 2, line 4 --	1-11
A	DE 3816159 A1 (DEUTSCHE BUNDESPOST), 23 November 1989 (23.11.89), column 1, line 3 - column 16 --	1-11
A	US 4651103 A (GARY J. GRIMES), 17 March 1987 (17.03.87), column 2, line 36 - column 3, line 35 --	1-11
P, A	WO 9602098 A2 (PHILIPS ELECTRONICS N.V.), 25 January 1996 (25.01.96), abstract -- -----	1-11
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
1 October 1996		04 -10- 1996
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Anders Ströbeck Telephone No. +46 8 782 25 00

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
Information on patent family members

05/09/96

International application No.

PCT/IB 96/00204

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A1- 0602282	22/06/94	AU-B- 668224	26/04/96
		AU-A- 5062193	09/06/94
		CA-A- 2108812	31/05/94
		JP-A- 7079235	20/03/95
		US-A- 5414705	09/05/95
DE-A1- 3816159	23/11/89	NONE	
US-A- 4651103	17/03/87	AU-B- 593867	22/02/90
		AU-A- 6696086	02/07/87
		CA-A- 1252157	04/04/89
		DE-A- 3687896	08/04/93
		EP-A, B- 0228685	15/07/87
		SE-T3- 0228685	
		JP-B- 7099827	25/10/95
		JP-A- 62176343	03/08/87
WO-A2- 9602098	25/01/96	KR-B- 9510704	21/09/95
		EP-A- 0717909	26/06/96
		EP-A- 0723732	31/07/96
		WO-A- 9601540	18/01/96

Form PCT/ISA/210 (patent family annex) (July 1992)